

УДК 004.051

Я. М. КЛЯТЧЕНКО

Національний технічний університет України “Київський політехнічний інститут”, м. Київ

ВИЗНАЧЕННЯ ДОСТОВІРНОСТІ ФУНКЦІОНУВАННЯ АПАРАТНИХ ЗАСОБІВ НА ПЛІС В УМОВАХ СПОТВОРЕННЯ ЛОГІЧНИХ СИГНАЛІВ

Анотація: Виділено ряд факторів неструктивного характеру, які негативно впливають на правильну роботу цифрових структур, що реалізовані на базі програмованих логічних інтегральних схем. До такого впливу особливо чутливі нові мікросхеми програмованої логіки, що виготовлені за зменшеними технологічними нормами. Досліджується методика, що дозволяє оцінити достовірність функціонування апаратних засобів при наявності спотворень аргументів логічних функцій внаслідок дії неструктивних факторів. Система обчислення ймовірностей вихідних значень булевих функцій від багатьох змінних дозволяє отримати кількісну оцінку достовірності функціонування таких складних структур, як логічні мережі.

Ключові слова: достовірність функціонування, логічні мережі, ПЛІС.

Анотация: Выделен ряд факторов неструктивного характера, негативно влияющих на правильную работу цифровых структур, которые реализованы на базе программируемых логических интегральных схем. К такому влиянию особенно чувствительны новые микросхемы программируемой логики, которые изготовлены по уменьшенным технологическим нормам. Исследуется методика, позволяющая оценить достоверность функционирования аппаратных средств при наличии искажений аргументов логических функций вследствие воздействия неструктивных факторов. Система вычисления вероятностей исходных значений булевых функций от многих переменных позволяет получить количественную оценку достоверности функционирования таких сложных структур, как логические сети.

Ключевые слова: достоверность функционирования, логические сети, ПЛИС.

Abstract: Destructive nature of factors is emphasized that negatively affects the correct operation of digital structures, which realized by programmable logic devices. New chips of programmable logic devices, which fabricated by *smaller process* node, are sensitive for such affects. There are research methods to assess the reliability of hardware functioning in the presence of argument distortion logic functions as a result of non-destructive factors. The system of calculating probabilities of output values of Boolean functions with many variables provides a quantitative assessment of the reliability of operation of such complex structures, as logical network.

Key words: reliability, logical network, PLD.

Вступ

Зростання складності засобів обчислювальної техніки, особливо в системах і технологіях критичного застосування, зосереджує увагу розробників на порушеннях правильної роботи цифрових структур, що обумовлені неперіодичними спотвореннями внутрішніх сигналів. Нові розробки засобів цифрової обчислювальної техніки та їх комбінаційну частину найчастіше реалізують на основі програмованих логічних інтегральних схем (ПЛІС), що містять від 50 тис. логічних комірок [1]. Однак перехід до нових технологічних норм (28 нм та менше) при виготовленні мікросхем ПЛІС приводить до зниження достовірності функціонування пристроїв на їхній основі. Достовірність функціонування цифрових обчислювальних засобів на ПЛІС набуває самостійного значення, оскільки саме достовірність отриманого цим пристроєм результату обумовлює вимоги до надійності системи [2].

Актуальність

Останні дослідження [3] вказують на недосконалість у відношенні надійності сучасних напівпровідникових кристалів, що виготовлені за зниженими технологічними проектними нормами. Серед причин цього виділяють таке явище, як SEE (англ. Single-Event Effect) – разовий вплив на роботу мікросхеми часток із високою енергією (важкого іону або протону) [4]. Очевидно, що з такими явищами не можна не рахуватися при застосуванні виробів мікроелектронної промисловості в космічній галузі, де вони найбільше розповсюджені. Наслідки, що спричинені SEE, можуть мати різний характер: деструктивні випадки (SEB або SEL) – hard errors; неструктивні (SEU, SET, SEFI) – soft errors. Щодо деструктивних випадків, то проблемами відмов та ліквідації їх наслідків займається теорія надійності. До таких випадків відносять SEB - (англ. Single-Event Burnout) – ефект разового вигорання та SEL - (англ. Single-Event latchup) – ефект разової засувки.

При аналізі достовірності функціонування апаратних засобів вважається, що неправильний результат є наслідком помилок, викликаних неструктивними випадками негативного впливу SEE. Результати ймовірнісного аналізу роботи обчислювальних засобів на ПЛІС найчастіше відображаються такими показниками достовірності функціонування відповідних структур, як ймовірність правильної роботи або ймовірність помилки. При цьому слід брати до уваги відмови для таких неструктивних випадків, як SEU (англ. Single-Event Upset) – одноразовий збій, який спричинений SEE, в результаті чого змінюється стан одного біту даних в елементі пам'яті. SEU може впливати на комірки конфігураційної пам'яті ПЛІС, на вміст блочної пам'яті, на D-тригер конфігурованого логічного блоку (CLB), на логічну таблицю (LUT) або на комірку конфігураційного регістра.

Мета

Метою даної роботи є дослідження методики визначення достовірності функціонування апаратних структур на ПЛІС в умовах спотворення логічних сигналів внаслідок дії недеструктивних факторів.

Постановка задачі

Фірма-виробники ПЛІС періодично здійснюють випробування на надійність поточних серій мікросхем. Як правило, в таких звітах [5] містяться результати низки випробувань, де вказуються параметри, що визначають ймовірності відмов пристроїв та безпомилкового зберігання енергонезалежних даних. Для цього мікросхеми піддають багатогодинним випробуванням таким, як виконання робочих циклів під впливом негативних факторів. До таких факторів відносять згаданий вище, вплив часток із високою енергією або підвищений температурний режим, його періодичні зміни та робота на граничних частотах. Це дозволяє швидко „зістарити” мікросхеми та визначити їхні слабкі місця. Наприклад, фірма Xilinx здійснює випробування ПЛІС при температурі від -55°C до $+125^{\circ}\text{C}$. Кількість пристроїв однієї моделі, що бере участь у тесті, становить декілька сотень.

Найважливішим параметром, що визначається для обчислення надійності інтегральних мікросхем, є параметр інтенсивності відмов (англ. failure rate), що вимірюється у FIT (англ. Failure in Time, кількість відмов за деякий час) і виражається у кількості відмов за 10^9 годин роботи пристрою в певних умовах (наприклад, під дією часток із високою енергією, або робота на граничних частотах і температурі). Наприклад, інтенсивність відмов у 5 FIT можна трактувати як 5 відмов на 1 млн. компонентів, що працюють впродовж 1000 годин. Так, для ПЛІС фірми Xilinx, що виконані за різними технологічними процесами, інтенсивність відмов за випробуванням із температурним фактором становить для 28 нм – 10 FIT, 40 нм – 7 FIT та 45 нм – 11 FIT.

Опроміювання частками із високою енергією конфігураційної пам'яті та блокової пам'яті ПЛІС дозволяє виявити не критичний і критичний рівні опроміювання для таких типів пам'яті. Кількість відмов на мегабайт (FIT/Мб) для протестованих мікросхем при такому випробуванні, тобто для випадку SEU, знаходиться у межах від 38 до 770. Треба підкреслити, що за наведеними результатами можна оцінити ступінь надійності ПЛІС при функціонуванні в критичних умовах. Враховуючи наведені дані, постає задача дослідження методики оцінки ймовірності правильного функціонування апаратних засобів на ПЛІС в умовах спотворень логічних сигналів.

Методика та система обчислення ймовірностей правильного функціонування логічних мереж, що описуються булевими функціями від багатьох змінних

При вирішенні проблеми забезпечення надійного функціонування обчислювальних засобів на ПЛІС постає питання оцінки ймовірності правильного функціонування окремих класів складних апаратних структур. Завдяки розвитку ПЛІС з архітектурою FPGA, широко розширилось практичне застосування одного із класів таких складних структур як логічна мережа (ЛМ). Багато сучасних обчислювальних засобів на ПЛІС розглядаються, як логічна мережа - суперпозиція логічних елементів, місцеположення яких закріплено. З точки зору топології, ЛМ являє собою матрицю універсальних логічних елементів, які утворюють групи функціональних вузлів та блоків і при цьому важливе значення має їхнє місцеположення. Логічна мережа – це дискретний перетворювач кодів типу асинхронного автомата, що заданий направленим графом, вершинами якого є логічні функції, а ребрами – спрямовані зв'язки типу “вхід-вихід”.

В [6, 7] досліджувалась методика визначення достовірності функціонування логічних мереж довільної складності в умовах детермінованих спотворень вхідних даних. Розглядається n -розрядний операнд X . Кожному розряду x_1, x_2, \dots, x_n цього операнда ставиться у відповідність ймовірність нульового значення, що далі позначатиметься як p_i^0 , та ймовірність одиничного значення p_i^1 . Відповідно для i -го розряду

$$p_i^0 + p_i^1 = 1,$$

або

$$\prod_{i=1,2,\dots,n} (p_i^0 + p_i^1) = 1. \quad (1)$$

Розглянемо впорядковану послідовність (кортеж) $A_j = \langle a_1, a_2, \dots, a_n \rangle$ значень булевих змінних x_1, x_2, \dots, x_n , де a_1, a_2, \dots, a_n – розрядні значення n -розрядного двійкового подання числа j . Тоді (1) перепишемо як

$$\prod_{i=1,2,\dots,n} (p_i^0 + p_i^1) = 1 = \sum_{j=0}^{2^n-1} p_1^{a_1} p_2^{a_2} \dots p_n^{a_n}. \quad (2)$$

Позначимо як $p(A_j)$ – ймовірність кортежу $A_j \in A$, ($j=0, 2^n - 1$), де A – множина кортежів. Згідно (2) можна визначити значення ймовірностей кортежів при заданих ймовірностях появи одиничних та нульових сигналів. При відомих значеннях ймовірностей кортежів легко визначається ймовірність нульового та одиничного значення функції

$$p_f^0 = \sum_{\text{по всіх кортежах, де } f=0} P(A_j), \quad p_f^1 = \sum_{\text{по всіх кортежах, де } f=1} P(A_j). \quad (3)$$

Виходячи з практичних міркувань будемо вважати, що на i -й розряд операнда можуть діяти три детермінованих спотворення. Це відповідає наслідкам (спотворенням) від SEE, коли розряди операндів приймають нульове, одиничне значення або інвертуються. Тоді запишемо $g_i + g_{0i} + g_{1i} + g_{li} = 1$, де g_i – ймовірність відсутності будь яких спотворень, g_{0i} – ймовірність спотворення типу константа "0", g_{1i} – ймовірність спотворення типу константа "1", g_{li} – ймовірність спотворення типу "інверсія". Очевидно, що

$$g_i + g_{0i} + g_{1i} + g_{li} = g_i (p_i^0 + p_i^1) + g_{0i} (p_i^0 + p_i^1) + g_{1i} (p_i^0 + p_i^1) + g_{li} (p_i^0 + p_i^1) = g_i p_i^0 + (g_{0i} p_i^0 + g_{1i} p_i^0 + g_{li} p_i^0) + g_i p_i^1 + (g_{0i} p_i^1 + g_{1i} p_i^1 + g_{li} p_i^1), \quad (4)$$

де $g_i p_i^0$ та $g_i p_i^1$ – ймовірності відсутності спотворень нульового та одиничного значення розрядів операнда. Детермінованість спотворень залежить виключно від чинників спотворення, наприклад, нульове значення сигналу може бути спотворено конкретним типом спотворення лише виключно в нульове або виключно в одиничне значення. Теж саме можна сказати і про спотворення одиничних сигналів. Тому (4) можна розглянути в наступному вигляді

$$g_i + g_{0i} + g_{1i} + g_{li} = (g_{0i} p_i^0 + g_{ci} p_i^0 + g_{ei} p_i^0) + (g_{0i} p_i^1 + g_{ci} p_i^1 + g_{ei} p_i^1) = p_{gi}^0 + p_{gi}^1, \quad (5)$$

де g_{ci}^0 – сума ймовірностей детермінованих спотворень, що не впливають на нульове значення; g_{ei}^0 – сума ймовірностей детермінованих спотворень, при яких одиничне значення розрядів операнда змінюється на нульове; g_{ci}^1 – сума ймовірностей детермінованих спотворень, що не впливають на одиничне значення (вхідна автокорекція [8]); g_{ei}^1 – сума ймовірностей детермінованих спотворень, що змінюють нульове значення на одиничне; p_{gi}^0 та p_{gi}^1 – ймовірності значень 0 та 1 розрядів операнда в результаті спотворень (кожна з ймовірностей p_{gi}^0 та p_{gi}^1 складається із 3 компонент – ймовірності при відсутності спотворень, ймовірності вхідної автокорекції та ймовірності вхідного хибного значення).

Нехай маємо довільну послідовність $A_j \in A$, ($j=0, 2^n - 1$), що отримана в результаті дії спотворень. Нехай, наприклад, $f(A_j)=0$. Далі позначимо G_{j0}^0 – ймовірність нульового значення булевої функції на кортежі A_j при відсутності спотворень. Позначимо G_{jc}^0 – ймовірність нульового значення булевої функції на кортежі A_j при вхідних автокорекціях. G_{je}^0 – ймовірність хибних значень функції при спотворенні відповідних кортежів в кортеж A_j . Тоді, згідно із (3), отримаємо

$$G_0^0 = \sum_{\text{по всіх кортежах, де } f=0} G_{j0}^0, \quad G_c^0 = \sum_{\text{по всіх кортежах, де } f=0} G_{jc}^0, \quad G_e^0 = \sum_{\text{по всіх кортежах, де } f=0} G_{je}^0. \quad (6)$$

Таким же чином обчислюють значення таких ймовірностей: одиничного значення булевої функції при відсутності спотворень (G_{j0}^1); правильного одиничного значення при наявності спотворень (G_{jc}^1); хибного одиничного значення при наявності спотворень (G_{je}^1).

Далі, згідно із (5), маємо

$$p_{gf}^0 + p_{gf}^1 = G_{j0}^0 + G_c^0 + G_e^0 + G_{j0}^1 + G_c^1 + G_e^1, \quad (7)$$

де $p_{gf}^0 = G_{j0}^0 + G_c^0 + G_e^0$ та $p_{gf}^1 = G_{j0}^1 + G_c^1 + G_e^1$.

За допомогою систем ймовірностей вхідних змінних, (5) та (7) забезпечується можливість оцінки ймовірності правильного функціонування складних комбінаційних структур типу ЛМ, що являє собою суперпозицію логічних елементів, роботу яких описує система булевих функцій багатьох змінних. Але виникають складнощі при обчисленні, оскільки воно складно залежить від кількості змінних кожної з булевих функцій та самої кількості булевих функцій, які описують роботу ЛМ.

Якщо згрупувати доданки (7) для вихідних булевих функцій ЛМ наступним чином

$$(G_{j0}^0 + G_{j0}^1) + (G_c^0 + G_c^1) + (G_e^0 + G_e^1) = G_0 + G_c + G_e, \quad (8)$$

де $G_0=(G^0_0+G^1_0)$ – ймовірність результату без спотворень вхідних даних; $G_c=(G^0_c+G^1_c)$ – ймовірність правильного значення при наявності спотворень; $G_e=(G^0_e+G^1_e)$ – ймовірність хибного значення при наявності спотворень, то формування кількісних оцінок ймовірності правильного результату булевої функції можна оцінювати сумою G_0+G_c .

Висновок

Таким чином, обчислення значень ймовірностей (8) дає змогу оцінити достовірність функціонування ЛМ за наявності детермінованих спотворень вхідних даних внаслідок дії неструктурних факторів. Практична цінність застосування такої методики в САПР на етапі проектування полягає в тому, що це дозволить отримувати кількісну оцінку ймовірності правильного функціонування апаратних засобів і, тим самим, підвищити ефективність цифрових обчислювальних засобів на ПЛІС.

Список літератури

1. 7 Series FPGAs Overview. [Електронний ресурс] / Xilinx Inc. – Product Specification – Режим доступу: http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
2. Левин В.И. Вероятностный анализ комбинационных схем и их надежность / В.И Левин // Известия АН СССР "Техническая кибернетика", 1964, №6, с.105...116.
3. Wirthlin M. "High-Reliability FPGA-Based Systems: Space, High-Energy Physics, and Beyond," Proceedings of the IEEE, Vol. 103, No. 3, March 2015.
4. Mitigating Single-Event Upsets [Електронний ресурс] / Xilinx Inc. – White Paper- 2015 – Режим доступу: http://www.xilinx.com/support/documentation/white_papers/wp395-Mitigating-SEUs.pdf
5. Device Reliability Report. [Електронний ресурс] / Xilinx Inc. – User Guides- 2015 – Режим доступу: http://www.xilinx.com/support/documentation/user_guides/ug116.pdf.
6. Достовірність функціонування логічних мереж в умовах детермінованих вхідних спотворень / В.П.Тарасенко, О.К.Тесленко, Я.М.Клятченко О.В.Тарасенко-Клятченко // Комп'ютерно-інтегровані технології: освіта, наука, виробництво. Науковий журнал. – 2012. – №8. – С.47-53.
7. Метод оцінки достовірності функціонування логічних мереж в умовах детермінованих спотворень вхідних даних / Я. М. Клятченко, О. В. Тарасенко-Клятченко, В. П. Тарасенко, О. П. Тесленко // Радіоелектронні і комп'ютерні системи. - 2014. - № 5. - С. 165-169.
8. Тарасенко В.П., Тарасенко-Клятченко О.В. Метод оценки автокорректирующих свойств поразрядных логических операций // Радиоэлектроника и информатика. – 2001. - № 1 (14). – С. 83-86.

Відомості про автора

Клятченко Ярослав Михайлович – к.т.н., доцент кафедри системного програмування і спеціалізованих комп'ютерних систем НТУУ «КПІ».