

УДК 621.38

М. А. Філінюк, Л. Б. Ліщинська, О. О. Лазарєв, В. П. Стахов

ІМІТАНСНИЙ СУМАТОР

Вінницький національний технічний університет, м. Вінниця

Вінницький торговельно-економічний інститут Київського національного торговельно-економічного університета, м. Вінниця

Анотація. В роботі наведено обґрунтування схеми імітансного суматора, побудованого на основі імітансних суматорів за модулем 2, елементів «І» та «АБО». Запропоновано математичну модель імітансного суматора, досліджені діапазони вхідних і вихідних імітансів. Запропоновано рекомендації для забезпечення високої завадостійкості при роботі схеми. Проведено моделювання роботи схеми імітансного суматора за умови всіх можливих вхідних логічних станів за допомогою програмного пакета AWR Design Environment 9.00, а також запропонована топологія імітансного суматора, побудована на мікросмужкових лініях передачі.

Ключові слова: суматор, імітанс, імітансна логіка.

Аннотация. В работе приведено обоснование схемы иммитансного сумматора, построенного на основе иммитансных сумматоров по модулю 2, элементов «И» и «ИЛИ». Предложена математическая модель иммитансного сумматора, исследованы диапазоны входных и выходных иммитансов. Предложены рекомендации для обеспечения высокой помехоустойчивости при работе схемы. Проведено моделирование работы схемы иммитансного сумматора при всех возможных входных логических состояниях с помощью программного пакета AWR Design Environment 9.00, а также предложена топология иммитансного сумматора, построенная на микрополосковых линиях передачи.

Ключевые слова: сумматор, иммитанс, иммитансная логика.

Abstract. This paper deal with the immittance adder, using active immittance as a information parameter and constructed on the basis of immittance adders modulo 2, elements "AND" and "OR". A mathematical model of the immittance adder is proposed, the ranges of input and output immittances are investigated. Recommendations are proposed to ensure high noise immunity during operation of the circuit. Modeling of the operation of the immittance adder scheme with all possible input logic states was carried out using the AWR Design Environment 9.00 software package, and the topology of the immitant adder constructed on microstrip transmission lines is proposed.

Key words: adder, immittance, immittance logic.

Вступ

Однією з найбільш актуальних проблем сучасної обчислювальної техніки є енергоспоживання. Хоча має місце значний прогрес у зменшенні енергоспоживання схем з транзисторною логікою, у більшості випадків такі схеми потребують постійного джерела живлення для своєї роботи. Тому актуальним залишається питання розробки альтернативних видів обчислювальних систем, які б споживали малу потужність при роботі і не потребували додаткового живлення крім інформаційного сигналу. Одним з можливих варіантів розв'язання цієї проблеми є використання моноімітансних логічних елементів [1] та схем [2, 3], які побудовані на мікросмужкових лініях передачі. Так як моноімітансна логіка не містить у своєму складі активних елементів, це дозволяє розробити на її основі пасивні логічні схеми. Однією з таких логічних схем є суматор.

Метою роботи є розробка та дослідження імітансного суматора на основі моноімітансних логічних R-елементів. Для досягнення цієї мети вирішуються завдання обґрунтування схеми імітансного суматора на основі моноімітансних логічних R-елементів та розробки його математичної моделі, а також обґрунтування можливих діапазонів вхідних і вихідних опорів.

Основна частина

Суматор [4] є логічною схемою, яка має три входи і два виходи, і використовується для складання двійкових чисел з можливістю перенесення в наступний розряд. Два входи суматора використовуються для доданків двухрозрядного двійкового числа, а третій вхід - для перенесення надлишкового розряду, отриманого в результаті попереднього додавання. На першому виході реалізується арифметична сума двійкового числа по модулю в даному розряді, а на іншому - перенесення в наступний розряд [5]. На рис. 1 представлені умовне графічне позначення суматора і його таблиця істинності.

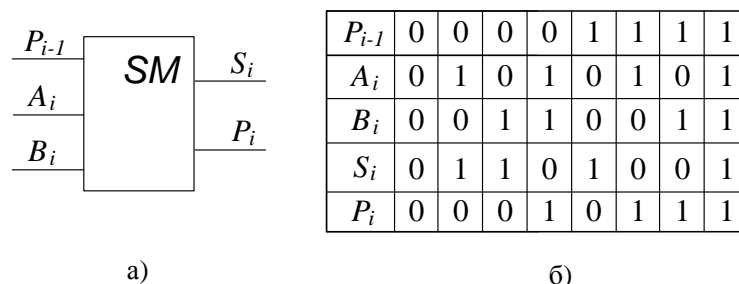


Рисунок 1 - Умовне графічне позначення (а) і таблиця істинності (б) суматора

Схемою реалізації суматора є комбінація двох суматорів по модулю 2, двох логічних елементів «І» і логічного елемента «АБО» (рис. 2) [1].

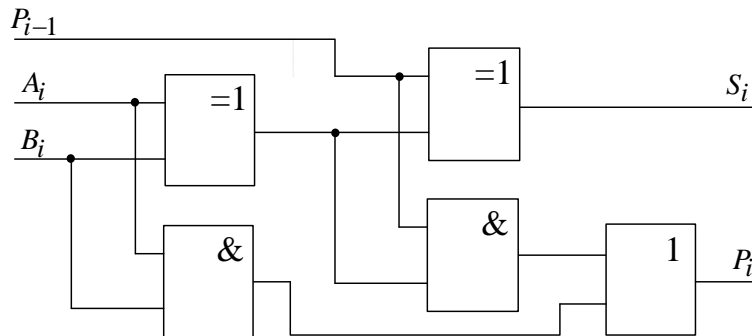


Рис. 2. Структурна схема суматора

При розкладанні вищенаведених суматорів за модулем 2 на базові логічні елементи структурна схема суматора має вигляд, наведений на рис. 3:

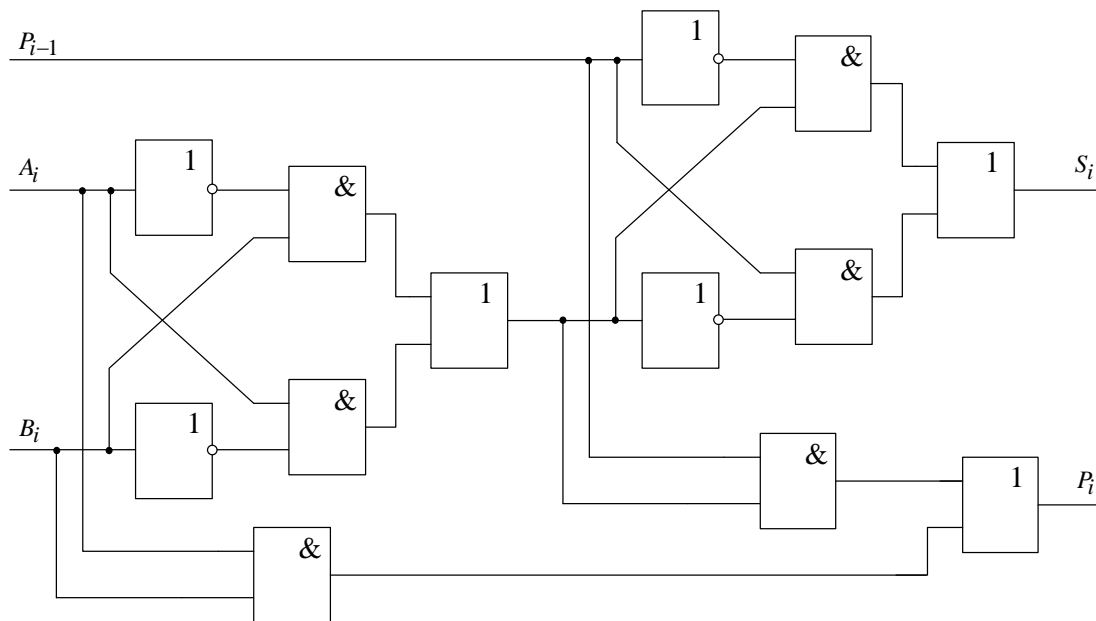


Рис. 3. Структурна схема суматора на базових логічних елементах «НІ», «АБО» і «І»

Наведена схема на рис. 3 може бути застосована також і для моноімітансних логічних елементів. Одним з варіантів реалізації моноімітансних логічних елементів є побудова їх на відрізках лінії передачі, що мають у НВЧ діапазоні властивості узагальнених перетворювачів імітансу. Тому, використовуючи набір базових моноімітансних елементів «НІ», «АБО» і «І» [3,4], отримаємо схему імітансного суматора (рис. 4).

На схемі $l_1 - l_{17}$ - довжина відрізків лінії передачі; λ - довжина хвилі сигналу з НВЧ генератора, n - натуральне число, R_{A_i} , R_{B_i} і $R_{P_{i-1}}$ - імітанси на входах A_i , B_i і P_{i-1} , які приймають значення, відповідні логічним рівням «0» або «1»; R_{P_i} і R_{S_i} - імітанси на виходах P_i і S_i ; B - вентиль; Γ - опорний НВЧ генератор.

Основою математичної моделі такої логічної схеми є її передавальні характеристики $R_{S_i} = F(R_{A_i}, R_{B_i}, R_{P_{i-1}})$ і $R_{P_i} = F(R_{A_i}, R_{B_i}, R_{P_{i-1}})$. Враховуючи трансформуючі властивості чвертьхвильових відрізків лінії передачі $l_1 - l_3$, $l_6 - l_{13}$, і $l_{15} - l_{16}$, будемо вважати, що хвильові опори всіх відрізків лінії передачі ідентичні і рівні Z_0 :

$$R_{Pi} = \frac{R_{Ai} \cdot R_{Bi}}{R_{Ai} + R_{Bi}} + \frac{R_{Pi} \cdot Z_0^2}{R_{Pi} + Z_0^2} \left/ \frac{Z_0^2 \left/ \frac{R_{Bi} \cdot Z_0^2 / R_{Ai}}{R_{Bi} + Z_0^2 / R_{Ai}} \cdot Z_0^2 \left/ \frac{R_{Ai} \cdot Z_0^2 / R_{Bi}}{R_{Ai} + Z_0^2 / R_{Bi}} \right.}{Z_0^2 \left/ \frac{R_{Bi} \cdot Z_0^2 / R_{Ai}}{R_{Bi} + Z_0^2 / R_{Ai}} + Z_0^2 \left/ \frac{R_{Ai} \cdot Z_0^2 / R_{Bi}}{R_{Ai} + Z_0^2 / R_{Bi}} \right.} \right. \right. \quad (1)$$

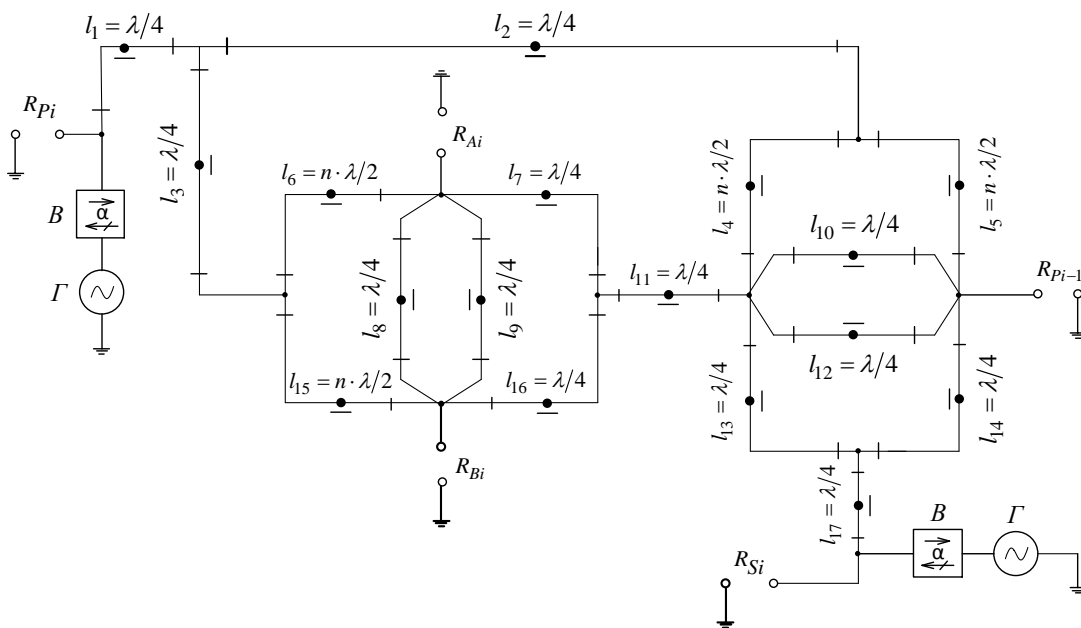


Рис. 4. Електрично-принципова схема імітансного суматора

$$R_{Si} = Z_0^2 \left/ \frac{Z_0^2 \left/ \frac{R'_{Si} \cdot Z_0^2}{R_{Pi-1}} \left/ \frac{R'_{Si} + \frac{Z_0^2}{R_{Pi-1}} \cdot Z_0^2}{R_{Pi-1}} \right. \cdot Z_0^2 \left/ \frac{R_{Pi-1} \cdot \frac{Z_0^2}{R'_{Si}}}{R_{Pi-1} + \frac{Z_0^2}{R'_{Si}}} \right.}{Z_0^2 \left/ \frac{R'_{Si} \cdot Z_0^2}{R_{Pi-1}} \left/ \frac{R'_{Si} + \frac{Z_0^2}{R_{Pi-1}} + Z_0^2}{R_{Pi-1}} \right. \cdot Z_0^2 \left/ \frac{R_{Pi-1} \cdot \frac{Z_0^2}{R'_{Si}}}{R_{Pi-1} + \frac{Z_0^2}{R'_{Si}}} \right.} \right. \right. \quad (2)$$

де:

$$R'_{Si} = Z_0^2 \left/ \frac{Z_0^2 \left/ \frac{R_{Bi} \cdot Z_0^2 / R_{Ai}}{R_{Bi} + Z_0^2 / R_{Ai}} \cdot Z_0^2 \left/ \frac{R_{Ai} \cdot Z_0^2 / R_{Bi}}{R_{Ai} + Z_0^2 / R_{Bi}} \right.}{Z_0^2 \left/ \frac{R_{Bi} \cdot Z_0^2 / R_{Ai}}{R_{Bi} + Z_0^2 / R_{Ai}} + Z_0^2 \left/ \frac{R_{Ai} \cdot Z_0^2 / R_{Bi}}{R_{Ai} + Z_0^2 / R_{Bi}} \right.} \right. \right.$$

Так як для імітансного суматора інформаційним параметром є активний опір R , логічні стани характеризуються діапазоном значень цього параметра. Логічній одиниці "1" відповідає діапазон зміни $R_n^{(1)} < R^{(1)} < R_e^{(1)}$, а логічному нулю «0» відповідає діапазон зміни $R_n^{(0)} < R < R_e^{(0)}$, де $R_n^{(1)}$, $R_e^{(1)}$, $R_n^{(0)}$ і $R_e^{(0)}$ -

резистивні межі відповідних логічних рівнів. Таким чином, роботу імітансного суматора можемо описати таблицею істинності, яка представлена на рис. 5.

$R_{P_{i-1}}$	R_{A_i}	R_{B_i}	R_{S_i}	R_{P_i}
"0" $R_{P_{i-1}.н.}^{(0)} < R_{P_{i-1}}^{(0)} < R_{P_{i-1}.е.}^{(0)}$	"0" $R_{A_i.н.}^{(0)} < R_{A_i}^{(0)} < R_{A_i.е.}^{(0)}$	"0" $R_{B_i.н.}^{(0)} < R_{B_i}^{(0)} < R_{B_i.е.}^{(0)}$	"0" $R_{S_i.н.}^{(0)} < R_{S_i}^{(0)} < R_{S_i.е.}^{(0)}$	"0" $R_{P_i.н.}^{(0)} < R_{P_i}^{(0)} < R_{P_i.е.}^{(0)}$
"0" $R_{P_{i-1}.н.}^{(0)} < R_{P_{i-1}}^{(0)} < R_{P_{i-1}.е.}^{(0)}$	"1" $R_{A_i.н.}^{(1)} < R_{A_i}^{(1)} < R_{A_i.е.}^{(1)}$	"0" $R_{B_i.н.}^{(0)} < R_{B_i}^{(0)} < R_{B_i.е.}^{(0)}$	"1" $R_{S_i.н.}^{(1)} < R_{S_i}^{(1)} < R_{S_i.е.}^{(1)}$	"0" $R_{P_i.н.}^{(0)} < R_{P_i}^{(0)} < R_{P_i.е.}^{(0)}$
"0" $R_{P_{i-1}.н.}^{(0)} < R_{P_{i-1}}^{(0)} < R_{P_{i-1}.е.}^{(0)}$	"0" $R_{A_i.н.}^{(0)} < R_{A_i}^{(0)} < R_{A_i.е.}^{(0)}$	"1" $R_{B_i.н.}^{(1)} < R_{B_i}^{(1)} < R_{B_i.е.}^{(1)}$	"1" $R_{S_i.н.}^{(1)} < R_{S_i}^{(1)} < R_{S_i.е.}^{(1)}$	"0" $R_{P_i.н.}^{(0)} < R_{P_i}^{(0)} < R_{P_i.е.}^{(0)}$
"0" $R_{P_{i-1}.н.}^{(0)} < R_{P_{i-1}}^{(0)} < R_{P_{i-1}.е.}^{(0)}$	"1" $R_{A_i.н.}^{(1)} < R_{A_i}^{(1)} < R_{A_i.е.}^{(1)}$	"1" $R_{B_i.н.}^{(1)} < R_{B_i}^{(1)} < R_{B_i.е.}^{(1)}$	"0" $R_{S_i.н.}^{(0)} < R_{S_i}^{(0)} < R_{S_i.е.}^{(0)}$	"1" $R_{P_i.н.}^{(1)} < R_{P_i}^{(1)} < R_{P_i.е.}^{(1)}$
"1" $R_{P_{i-1}.н.}^{(1)} < R_{P_{i-1}}^{(1)} < R_{P_{i-1}.е.}^{(1)}$	"0" $R_{A_i.н.}^{(0)} < R_{A_i}^{(0)} < R_{A_i.е.}^{(0)}$	"0" $R_{B_i.н.}^{(0)} < R_{B_i}^{(0)} < R_{B_i.е.}^{(0)}$	"1" $R_{S_i.н.}^{(1)} < R_{S_i}^{(1)} < R_{S_i.е.}^{(1)}$	"0" $R_{P_i.н.}^{(0)} < R_{P_i}^{(0)} < R_{P_i.е.}^{(0)}$
"1" $R_{P_{i-1}.н.}^{(1)} < R_{P_{i-1}}^{(1)} < R_{P_{i-1}.е.}^{(1)}$	"1" $R_{A_i.н.}^{(1)} < R_{A_i}^{(1)} < R_{A_i.е.}^{(1)}$	"0" $R_{B_i.н.}^{(0)} < R_{B_i}^{(0)} < R_{B_i.е.}^{(0)}$	"0" $R_{S_i.н.}^{(0)} < R_{S_i}^{(0)} < R_{S_i.е.}^{(0)}$	"1" $R_{P_i.н.}^{(1)} < R_{P_i}^{(1)} < R_{P_i.е.}^{(1)}$
"1" $R_{P_{i-1}.н.}^{(1)} < R_{P_{i-1}}^{(1)} < R_{P_{i-1}.е.}^{(1)}$	"0" $R_{A_i.н.}^{(0)} < R_{A_i}^{(0)} < R_{A_i.е.}^{(0)}$	"1" $R_{B_i.н.}^{(1)} < R_{B_i}^{(1)} < R_{B_i.е.}^{(1)}$	"0" $R_{S_i.н.}^{(0)} < R_{S_i}^{(0)} < R_{S_i.е.}^{(0)}$	"1" $R_{P_i.н.}^{(1)} < R_{P_i}^{(1)} < R_{P_i.е.}^{(1)}$
"1" $R_{P_{i-1}.н.}^{(1)} < R_{P_{i-1}}^{(1)} < R_{P_{i-1}.е.}^{(1)}$	"1" $R_{A_i.н.}^{(1)} < R_{A_i}^{(1)} < R_{A_i.е.}^{(1)}$	"1" $R_{B_i.н.}^{(1)} < R_{B_i}^{(1)} < R_{B_i.е.}^{(1)}$	"1" $R_{S_i.н.}^{(1)} < R_{S_i}^{(1)} < R_{S_i.е.}^{(1)}$	"1" $R_{P_i.н.}^{(1)} < R_{P_i}^{(1)} < R_{P_i.е.}^{(1)}$

Рис. 5. Таблиця істинності імітансного суматора

Визначимо сумісність і оптимальність діапазонів вхідних і вихідних опорів. Для цього будемо вважати, що діапазон значень вхідного опору, який відповідає логічному «0», рівний $0 \div 10$ Ом, діапазон значень вхідного опору, який відповідає логічній «1», рівний $150 \div 300$ Ом. Таким чином, з рівнянь (1) і (2) слідує, що графік діапазонів вихідних опорів має вигляд, представлений на рис. 6:

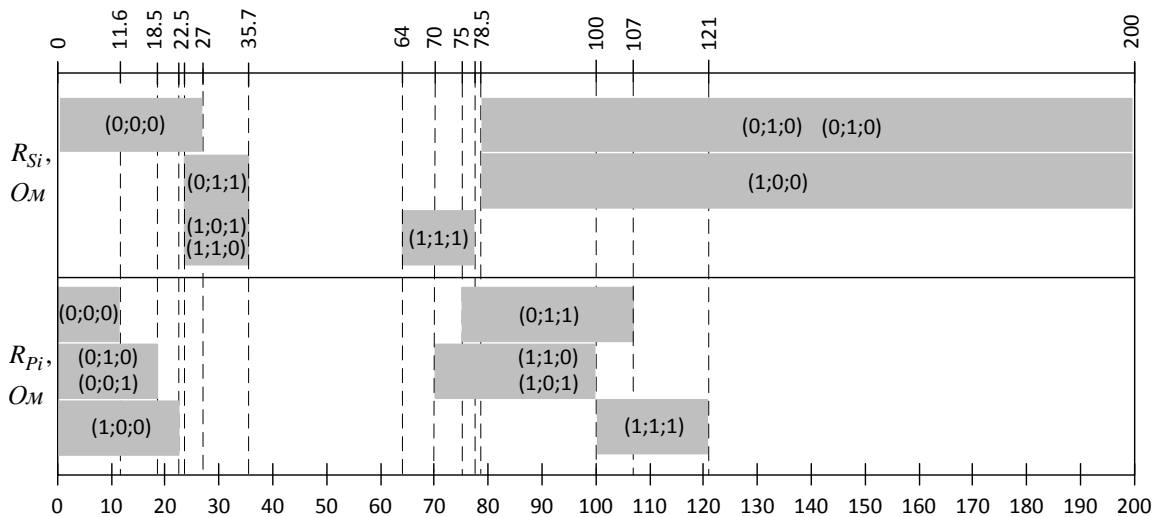


Рис. 6. Діапазони значень вихідних опорів імітансного суматора

З рис. 6 слідує, що для вихода S_i діапазон значень вихідного опору, який відповідає логічному «0», рівний $0 \div 35.7$ Ом, а діапазон значень вихідного опору, відповідного логічній «1», рівний $64 \div 200$ Ом. Для вихода P_i діапазон значень вихідного опору, відповідного логічній «0», рівний $0 \div 22.5$ Ом, а діапазон значень вихідного опору, відповідного логічній «1», рівний $70 \div 121$ Ом. З цього можемо зробити висновок, що спільний діапазон значень вихідних опорів схеми, відповідний логічному «0», рівний $0 \div 35.7$ Ом, а спільний діапазон значень вихідних опорів схеми, відповідний логічній «1», рівний $64 \div 200$ Ом.

На практиці виникає необхідність дублювання вхідних імітансів, так як при використанні одного вхідного опору декількома імітансними елементами відбувається ділення опору, що негативно впливає на роботу схеми. З урахуванням цього схема імітансного суматора може мати наступний вигляд:

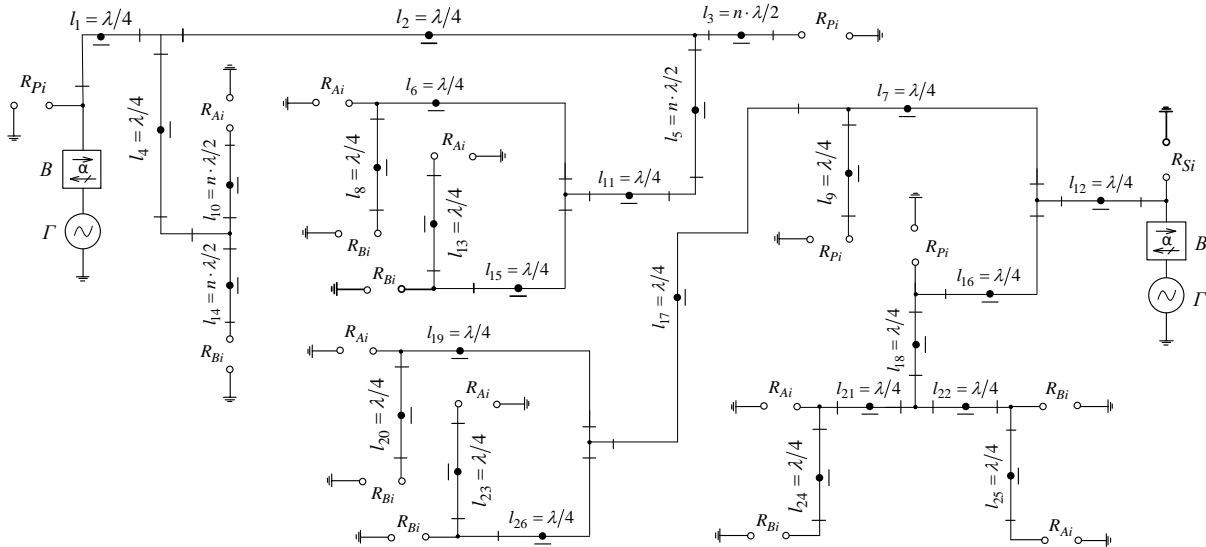
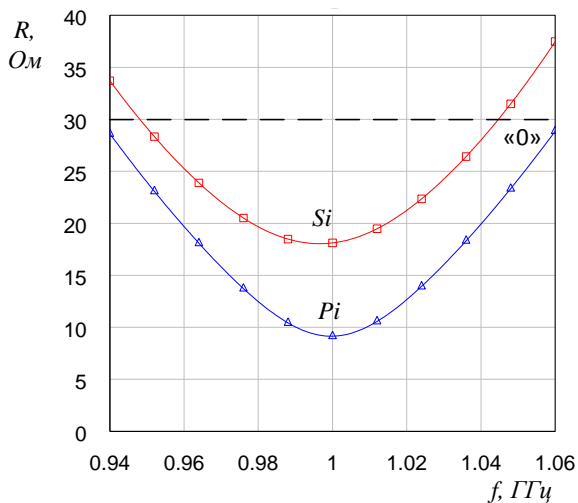


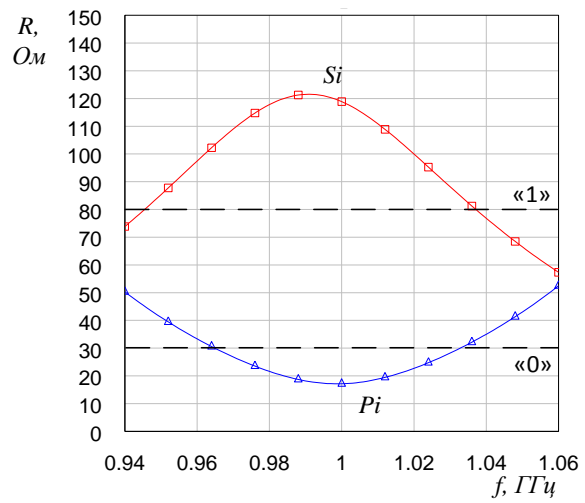
Рис. 7. Електрично-принципова схема імітансного суматора з урахуванням дублювання вхідних імітансів

За допомогою моделювання схеми імітансного суматора, зображеної на рис. 7, у програмному пакеті AWR Design Environment 9.00 отримані вихідні характеристики імітансного суматора. Як логічний «0» на входах імітансного суматора використовується активний опір 5 Ом, а як логічна «1» використовується активний опір 300 Ом.

Як видно з графіків на рис. 8, значення активного опору на вихідних клеммах суматора S_i і P_i відповідає таблиці істинності на рис. 5, причому для частоти 1 ГГц на вихідній клемі S_i активний опір знаходиться в межах (18-25 Ом) для логічного стану «0» і в межах (92-120 Ом) для логічного стану «1», а на вихідній клемі P_i активний опір знаходиться в межах (9-18 Ом) для логічного стану «0» і в межах (100-142 Ом) для логічного стану «1».



а)



б)

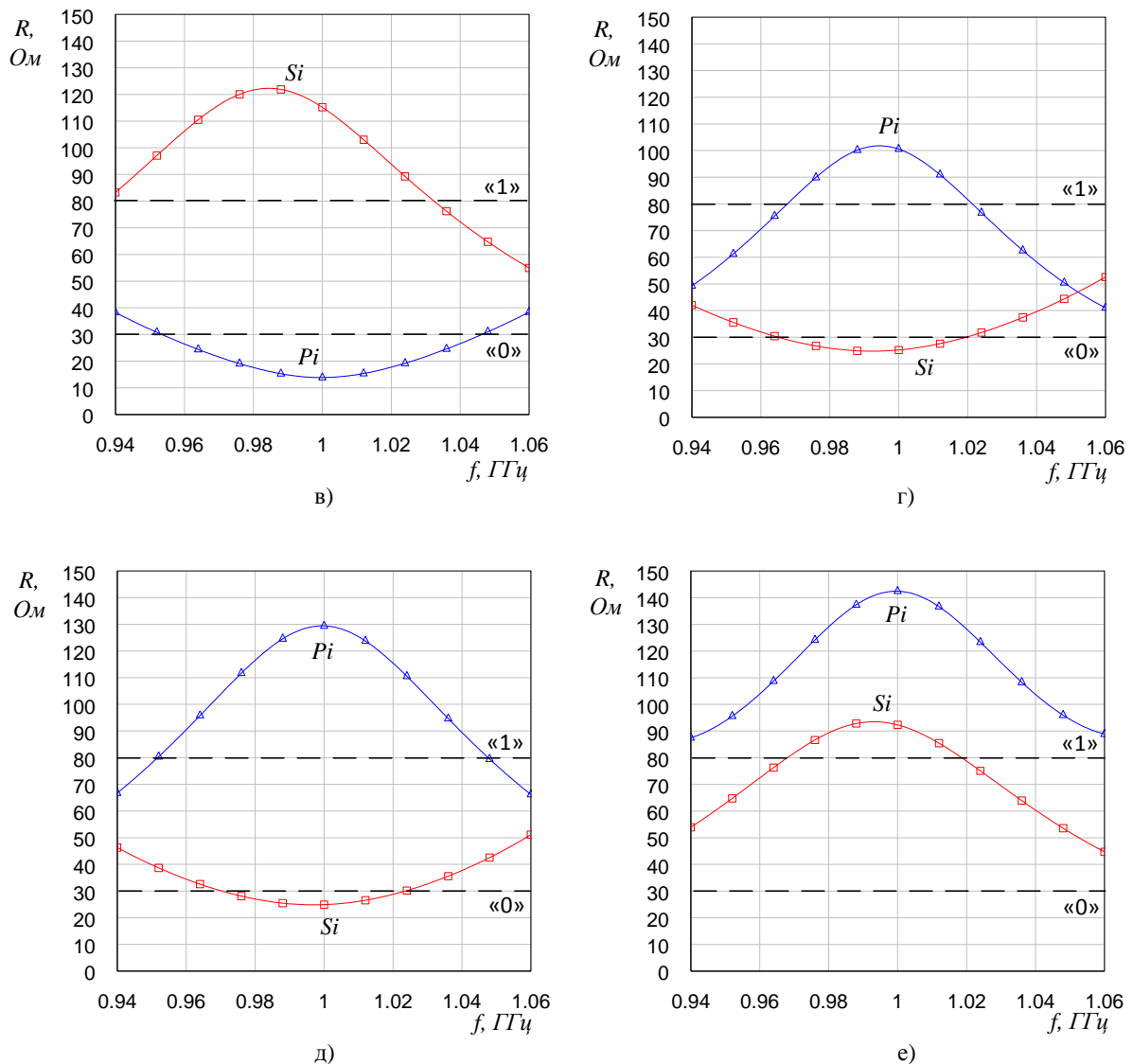


Рис. 8 – Залежність вихідних опорів імітансного суматора від девіації частоти для випадків:

- а) $R_{A_i} = \langle 0 \rangle, R_{B_i} = \langle 0 \rangle, R_{P_{i-1}} = \langle 0 \rangle$; б) $R_{A_i} = \langle 0 \rangle, R_{B_i} = \langle 0 \rangle, R_{P_{i-1}} = \langle 1 \rangle$;
- в) $R_{A_i} = \langle 1 \rangle, R_{B_i} = \langle 0 \rangle, R_{P_{i-1}} = \langle 0 \rangle$ або $R_{A_i} = \langle 0 \rangle, R_{B_i} = \langle 1 \rangle, R_{P_{i-1}} = \langle 0 \rangle$;
- г) $R_{A_i} = \langle 1 \rangle, R_{B_i} = \langle 0 \rangle, R_{P_{i-1}} = \langle 1 \rangle$ або $R_{A_i} = \langle 0 \rangle, R_{B_i} = \langle 1 \rangle, R_{P_{i-1}} = \langle 1 \rangle$;
- д) $R_{A_i} = \langle 1 \rangle, R_{B_i} = \langle 1 \rangle, R_{P_{i-1}} = \langle 0 \rangle$; е) $R_{A_i} = \langle 1 \rangle, R_{B_i} = \langle 1 \rangle, R_{P_{i-1}} = \langle 1 \rangle$.

На рис. 9 наведений можливий варіант топології імітансного суматора, яка складається з мікросмужкових ліній довжиною $\lambda/2$ та $\lambda/4$, де λ - довжина хвилі сигналу з НВЧ генератора:

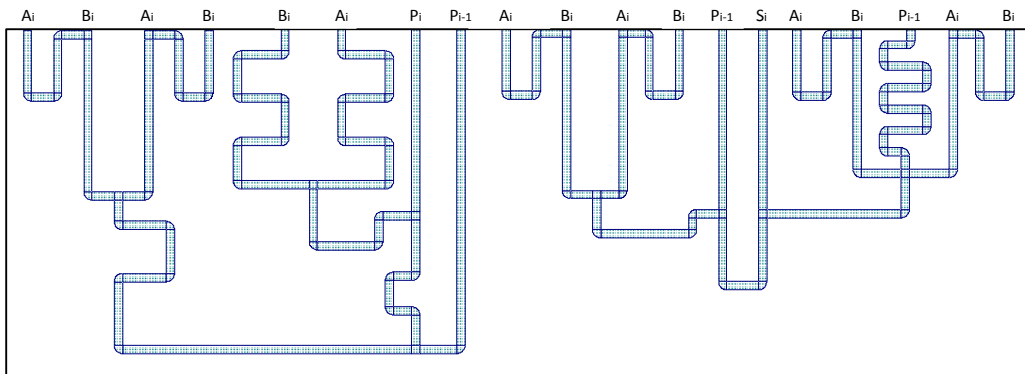


Рис. 9 – Топологія імітансного суматора

У якості вхідних опорів можуть використовуватись масиви елементів зі змінним опором, які з'єднані зі входами схеми за допомогою коаксіального кабеля довжиною, кратною $\lambda/2$ до довжини хвилі опорного сигналу.

Висновки

1. Наведено обґрунтування схеми імітансного суматора, побудованого на моноімітансних логічних R-елементах, який використовує трансформуючі властивості відрізків лінії передачі, а також розроблена його математична модель.

2. Визначено теоретичні можливі діапазони роботи імітансного суматора і проведена оцінка їх сумісності. При використанні діапазону вхідних опорів ($0 \div 10$ Ом) для логічного «0» і ($150 \div 200$ Ом) для логічної «1» опори на виходах S_i і P_i будуть знаходитися в діапазоні ($0 \div 35.7$ Ом) для логічного «0» і ($64 \div 200$ Ом) для логічної «1».

3. Проведено моделювання роботи імітансного суматора на частоті 1 ГГц за умови вхідних логічних станів «0» = 5 Ом і «1» = 300 Ом, завдяки якому визначено, що на виході S_i активний опір знаходиться в межах (18-25 Ом) для логічного «0» і в межах (92-120 Ом) для логічної «1», а на виході P_i активний опір знаходиться в межах (9-18 Ом) для логічного «0» і в межах (100-142 Ом) для логічної «1». Таким чином, розрахункові дані і дані, отримані при моделюванні, відповідають один одному.

4. Запропонована топологія імітансного суматора на мікросмужкових лініях передачі.

Список літератури

1. Моноиммитансные логические RLC-элементы / Н.А. Филинюк, Л.Б. Лищинская, Е.В. Войцеховская, В.П. Стахов // Вісник Хмельницького національного університету, № 3. – 2015 р. – с.117-121.

2. Иммитансный полусумматор / Филинюк М. А., Лищинська Л. Б., Лазарев О. О., Стахов В. П. // Міжнародний науково-технічний журнал "Вимірювальна та обчислювальна техніка в технологічних процесах", №2 – 2017 р. – с.97-100.

3. Investigation of circuit features of the immittance modulo-2 adder realization / N. A. Filinyuk, L. B. Lishchynska, A. A. Lazarev etc. // Proc. of SPIE, Vol. 10445.

4. J. Bhattacharya Rudiments of Computer Science / Joyrup Bhattacharya // Academic Publishers. — 2010. — ISBN 978-93-80599-02-1.

5. Новиков Ю.В. Введение в цифровую схемотехнику. Курс лекций. / Ю.В. Новиков // М.: Интернет-университет информационных технологий, 2006. — с. 343 — ISBN 5-94774-600-X.

Стаття надійшла: 10.10.2017.

Відомості про авторів

Філінюк Микола Антонович - д.т.н., професор кафедри електроніки та наносистем, Вінницький національний технічний університет, Україна.

Лищинська Людмила Броніславівна – д.т.н., професор кафедри економічної кібернетики, Вінницький торговельно-економічний інститут Київського національного торговельно-економічного університету, Україна.

Лазарев Олександр Олександрович - к.т.н., доцент кафедри електроніки та наносистем, Вінницький національний технічний університет, Україна.

Стахов Володимир Петрович - аспірант кафедри електроніки та наносистем, Вінницький національний технічний університет, Україна.