

УДК 004.272

Т. Б. Мартинюк, Н. О. Денисюк, Б. І. Круківський
**АСОЦІАТИВНІ ПРОЦЕСОРИ З ПАРАЛЕЛЬНО-
 ПОСЛІДОВНОЮ ОБРОБКОЮ ДАНИХ**

Вінницький національний технічний університет, м. Вінниця

Анотація. Розробка асоціативної пам'яті та паралельних методів асоціативної обробки масивів даних дозволяє подолати обмеження адресного (послідовного) доступу до пам'яті та збільшити швидкодію необчислювальних операцій. Серед методів асоціативної обробки найбільше розповсюдження отримав метод обробки по розрядних зрізах (слайзах), тобто з одночасною обробкою однойменних розрядів усіх слів. В роботі проаналізовано відомі варіанти побудови асоціативних процесорів, базовим вузлом яких є асоціативна пам'ять. Обрано асоціативний процесор з паралельно-послідовним способом обробки елементів числового масиву. Запропоновано дві структури асоціативних процесорів з можливістю виконання операцій пошуку за ключем і пошуку мінімуму/максимуму у числовому масиві. У першому запропонованому варіанті в асоціативному процесорі для пошуку у масиві даних за ключем паралельно-послідовна обробка дозволяє зафіксувати співвідношення n операндів з ключем у вигляді бінарних ознак ($=$, \neq) в пам'яті результатів на триггерах. У другому запропонованому варіанті в асоціативному процесорі для пошуку екстремальних чисел розширення функціональних можливостей досягається за рахунок роботи в двох режимах: пошук мінімального або максимального числа у масиві n чисел. Особливістю таких процесорів є використання швидкої регістрової пам'яті на лічильниках та паралельної обробки без операції порівняння елементів числового масиву. В цьому випадку можна об'єднати функціональні можливості двох типів запропонованих асоціативних процесорів в одному асоціативному процесорі через подібність їх структурної організації та принципу обробки елементів числового масиву через використання операції декременту у регістровій пам'яті на лічильниках. Розраховано основні параметри запропонованих асоціативних процесорів. Виконано порівняльний аналіз відомих та запропонованих асоціативних процесорів за такими показниками, як апаратна складність та часові витрати. Значною перевагою запропонованих асоціативних процесорів є регулярність структури та менша кількість апаратних витрат. Виграш в апаратних витратах є важливим при реалізації асоціативних процесорів на перспективній елементній базі – ПЛІС.
Ключові слова: асоціативна пам'ять, асоціативний процесор, пошук за ключем, пошук мінімуму/максимуму, операції інкременту/декременту.

Аннотация. Разработка ассоциативной памяти и параллельных методов ассоциативной обработки массивов данных позволяет преодолеть ограничения адресного (последовательного) доступа к памяти и увеличить быстродействие невычислительных операций. Среди методов ассоциативной обработки наибольшее распространение получил метод обработки по разрядным срезам (слайзам), то есть с одновременной обработкой одноименных разрядов всех слов. В работе проанализированы известные варианты построения ассоциативных процессоров, базовым узлом которых является ассоциативная память. Выбран ассоциативный процессор с параллельно-последовательным способом обработки элементов числового массива. Предложены две структуры ассоциативных процессоров с возможностью выполнения операций поиска по ключу и поиска минимума / максимума в числовом массиве. В первом предложенном варианте в ассоциативном процессоре для поиска в массиве данных по ключу параллельно-последовательная обработка позволяет зафиксировать соотношение n операндов с ключом в виде бинарных признаков ($=$, \neq) в памяти результатов на триггерах. Во втором предложенном варианте в ассоциативном процессоре для поиска экстремальных чисел расширение функциональных возможностей достигается за счет работы в двух режимах: поиск минимального или максимального числа в массиве n чисел. Особенностью таких процессоров является использование быстрой регистровой памяти на счетчиках и параллельной обработки без операции сравнения элементов числового массива. В этом случае можно объединить функциональные возможности двух типов предлагаемых ассоциативных процессоров в одном ассоциативном процессоре из-за сходства их структурной организации и принципа обработки элементов числового массива с использованием операции декремента в регистровой памяти на счетчиках. Рассчитаны основные параметры предложенных ассоциативных процессоров. Выполнен сравнительный анализ известных и предложенных ассоциативных процессоров по таким показателям, как аппаратная сложность и временные затраты. Значительным преимуществом предложенных ассоциативных процессоров является регулярность структуры и меньшее количество аппаратных затрат. Вывыгрыш в аппаратных затратах является важным при реализации ассоциативных процессоров на перспективной элементной базе - ПЛИС.
Ключевые слова: ассоциативная память, ассоциативный процессор, поиск по ключу, поиск минимума / максимума, операции инкремента / декремента.

Abstract. Development of associative memory and parallel methods of associative processing of numerical arrays allows to overcome the limitations of address (serial) access to memory and increase the speed of non-calculating operations. Among the methods of associative processing the most commonly used methods is processing method by bit cuts (slices), that is the simultaneous processing of the same names of bits of all words. In this paper the known variants of constructing associative processors, the base block of which is associative memory, is analyzed. An associative processor with a parallel-serial method of elements processing of a numerical array is selected. Two structures of associative processors with the ability to perform searches by key and search for a minimum / maximum in a numerical array are proposed. In the first proposed variant of the associative processor for the search by key in the numerical array, parallel-serial processing allows fixing the ratio of n operands with the key in the form of binary attributes ($=$, \neq) in the memory of the results on the triggers. In the second proposed version of the associative processor for search extreme numbers, the expansion of functionality is achieved by working in two modes: the search for a minimum or maximum number in an array of numbers. The feature of such processors is the using of fast register memory on counters and parallel processing without the operation of comparing elements of a numerical array. In this case, it's possibly to combine the functionality of the two types of proposed associative processors in one associative processor due to the similarity of their structural organization and the principle of the elements processing of a numerical array using the operation of a decrement in the register memory on the counters. The basic parameters of the proposed associative processors are calculated. A comparative analysis of known and proposed associative processors is performed on indicators such as hardware complexity and time costs. A significant advantage of the proposed associative processor is the regularity of the structure and the smaller amount of hardware costs. The gain in hardware costs is important for the implementing of associative processor on promising element base - FPGA.

Keywords: associative memory, associative processor, search by key, search for minimum / maximum, operations increment / decrement.

DOI: <https://doi.org/10.31649/1999-9941-2019-44-1-27-36>.

Т. Б. Мартинюк, Н. О. Денисюк, Б. І. Круківський, 2019

Вступ

Розвиток обчислювальної техніки та створення інформаційно-пошукових систем вимагає застосування паралельної та асоціативної обробки значних масивів інформації [1], оскільки це дозволяє підвищити продуктивність інформаційних систем, забезпечити швидкий паралельний пошук інформації в пам'яті великого об'єму, здійснити заміну значної частини програмних засобів апаратними засобами, спростити програмування і скоротити час, що витрачається на вирішення таких задач [2,3].

Актуальність

Більшість прикладних задач, що існують в даний час, переважно орієнтовані на традиційну адресну обробку, що супроводжується зменшенням швидкодії через незначний рівень паралелізму пошуку та вибірки з пам'яті даних. Тому актуальним є науково-технічний напрямок, що пов'язаний з розробкою асоціативної пам'яті та паралельних методів асоціативної обробки, який дозволяє подолати обмеження, властиві адресному (последовному) доступу до пам'яті [3-6]. При цьому, до переваг асоціативних процесорів, що використовують асоціативну пам'ять, можна віднести: високий рівень паралелізму через обробку по розрядних зрізах (слайзах), паралельний пошук за вмістом пам'яті в процесі порівняння за ключем, виконання базових операцій пошуку, що відбуваються за час, пропорційний кількості бітових стовпців в заданому масиві даних або у ключі [2-6].

Про перспективність такого підходу свідчать розробки асоціативної пам'яті як на сучасній елементній базі, зокрема на ПЛІС, так і оптичні та оптоелектронні варіанти асоціативної пам'яті [7,8].

Мета

Метою даної роботи є вдосконалення структури асоціативних процесорів з розширеними функціональними можливостями на базі швидкої регістрової пам'яті, а саме з можливістю виконання таких базових масових операцій, як пошук даних за ключем та пошук мінімуму/максимуму серед елементів масиву без паралельного порозрядного логічного порівняння.

Огляд першоджерел

Асоціативна пам'ять або асоціативний запам'ятовуючий пристрій (АЗП) є особливим видом машинної пам'яті, що використовується для швидкого паралельного пошуку інформації [2-6]. Вона відома також як пам'ять, що адресується за змістом (англ. Content-addressable memory, CAM) або асоціативний масив [9].

Аналіз досліджень показав, що одним з найвідоміших асоціативних процесорів є CAM 2000 [9], що об'єднує можливості асоціативного процесора, асоціативної та динамічної пам'яті в одному кристалі. Цей кристал крім функцій динамічної пам'яті також реалізує просту масово-паралельну обробку вмісту, що зберігається в динамічній пам'яті. Такий процесор може виконувати такі операції, як визначення суми компонент вектора, мінімальної чи максимальної компоненти вектора, середнього k чисел та інші [9].

Асоціативний процесор (АП) – це спеціалізований процесор, що реалізується на базі АЗП і призначений для одночасного виконання операцій над масивами даних [2,10]. АП можуть бути розділені на чотири категорії відповідно до організації процесу порівняння елементів масиву даних: повністю паралельні, порозрядно-последовні (паралельно-последовні), послівно-последовні (последовні) та блочно-орієнтовані асоціативні процесори [4,11]. Прикладами паралельних АЗП є відомі оптичні ЗП з дискретним представленням інформації, які розглядаються як однопортова [12] та багатопортова асоціативна пам'ять [13], що можуть бути використані в системах на основі нейронних мереж та в пристроях для обробки зображень [13]. Разом з тим АП з паралельно – последовним пошуком займають проміжне положення між суто паралельними та последовними і є компромісним рішенням, адже паралельні АП, наприклад, у вигляді ітеративної мережі [2] – швидкі, але багатозатратні апаратно, а последовні АП [3,4] – малозатратні, але мають низьку швидкодію.

Особливість паралельно-последовного АП або вертикального АП полягає в тому, що він забезпечує паралельно-последовний пошук інформації по розрядних зрізах (слайзах), тобто по однойменних розрядах всіх слів у великих масивах даних, які знаходяться в АЗП [2-4]. У склад вертикального АП [4], що представлений на рис.1, входять такі елементи: модуль АЗП, регістр аргументу пошуку, регістр маски, пам'ять фіксації реакцій, аналізатор багатократного співпадіння, а також допоміжні лінії керування і передачі даних. Регістр маски, що призначений для зберігання коду маскуванню, і регістр аргументу пошуку об'єднані в один блок.

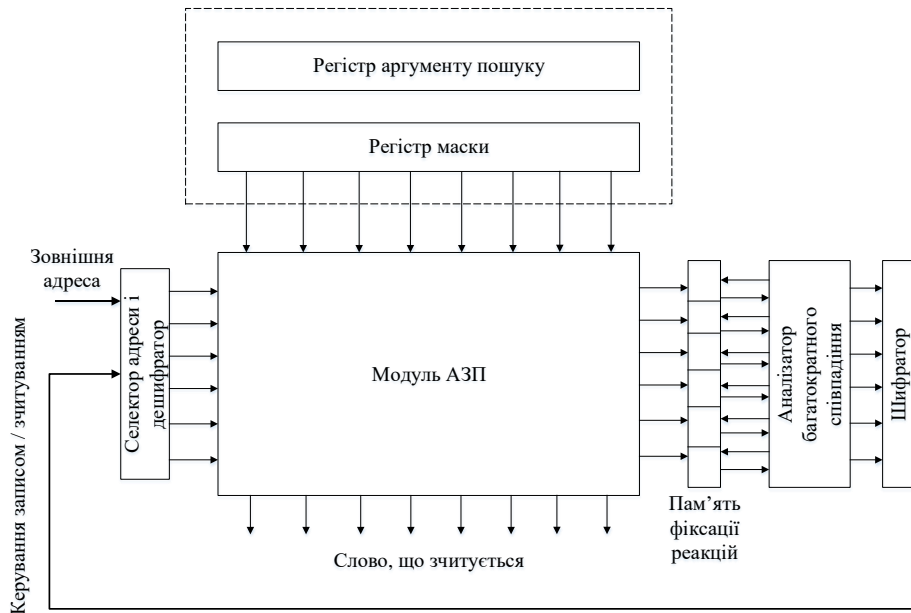


Рисунок 1 – Організація асоціативного процесора[4]

Таким чином, окрім основних функцій АЗП, пов'язаних зі збереженням ключів і даних, їх довільним адресним записом і зчитуванням даних, АП має виконувати певні логічні функції. Ці функції, в даному випадку, містять порозрядне логічне порівняння кожного аргументу пошуку зі всіма збереженими ключами і логічне виявлення співпадіння аргументу пошуку або ключа. Але наведена структура вертикального АП не виконує таку базову масову операцію, як пошук мінімуму/максимуму.

Разом з тим, використання лічильників замість регістрів в АЗП дозволяє перейти від розрядно-зрівнювального порівняння в процесі пошуку за ключем до використання швидкісної операції декременту паралельно для всіх елементів числового масиву в АЗП.

Асоціативний процесор з пошуком за ключем у регістровій пам'яті

Структуру запропонованого АП для порівняння масиву даних за ключем представлено на рис.2. АП складається з таких основних блоків, як регістрова пам'ять на лічильниках, регістр ключа, вузол керування, логічний вузол і пам'ять результатів (ПР) [14]. На рис.2 прийнято такі позначення: A_1, \dots, A_n – вхідні дані (операнди); Y_1, \dots, Y_n – виходи ознак процесора; K – ключ; P_{0i} – ознака нульового вмісту i -го елемента регістрової пам'яті ($i=1, \dots, n$).

При виконанні операції пошуку за ключем АП працює таким чином. У швидку регістрову (локальну) пам'ять процесора записується масив даних A_1, \dots, A_n із загальної (зовнішньої) пам'яті, в регістр ключа записується аргумент пошуку (ключ) K , а всі тригери ознак ПР встановлюються в одиничний стан. У регістровій пам'яті та у регістрі ключа відбувається одночасне зменшення всіх операндів (чисел) на одиницю з надходженням кожного тактового імпульсу, тобто виконується операція декременту [15]. Коли будь-який з регістрів, наприклад, i -й регістр обнулється повністю, на його ознаковому виході з'явиться одиничний сигнал P_{0i} – сигнал ознаки нульового вмісту відповідного i -го регістра. В подальшому поточні сигнали ознак P_{01}, \dots, P_{0n} проходять по відповідній гілці логічного вузла, що складається з елемента затримки, елементів АБО-НІ, І та АБО, і надходять на R-входи відповідних RS-тригерів ознак ПР (рис.3) [14], скидаючи їх у нульовий стан.

В процесі роботи процесора можуть мати місце три випадки співвідношення кожного з операндів A_i ($i=1, \dots, n$) з ключем K [16,17]: а) коли операнд A_i менший за значенням, ніж ключ K : $A_i < K$; б) коли операнд A_i більший за значенням, ніж ключ K : $A_i > K$; в) коли операнд A_i дорівнює ключеві K : $A_i = K$.

У випадку коли виконується співвідношення $A_i = K$, тобто інформація відсутня в i -му регістрі за відсутності інформації у регістрі ключа, про це свідчить наявність двох одиничних сигналів P_{0i} і P_{0k} . Ці сигнали, проходячи через елементи відповідної гілки, на її виході формують нульовий сигнал, який надходить на R-вхід i -го RS-тригера ознак ПР. В результаті на його прямому виході Y_i ознаки залишається одиничний сигнал.

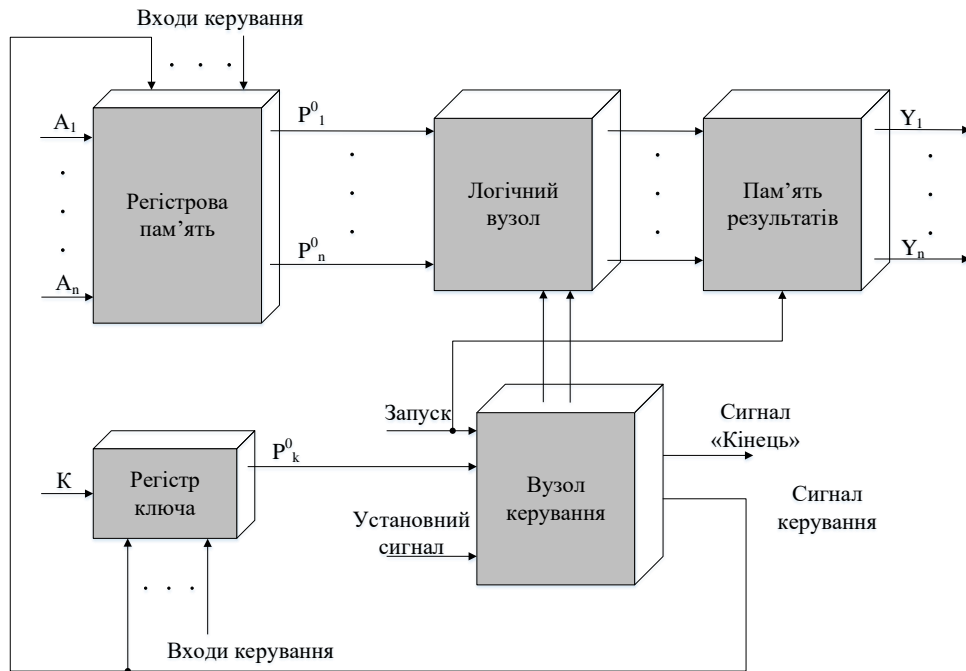


Рисунок 2 – Структура асоціативного процесора для пошуку за ключем

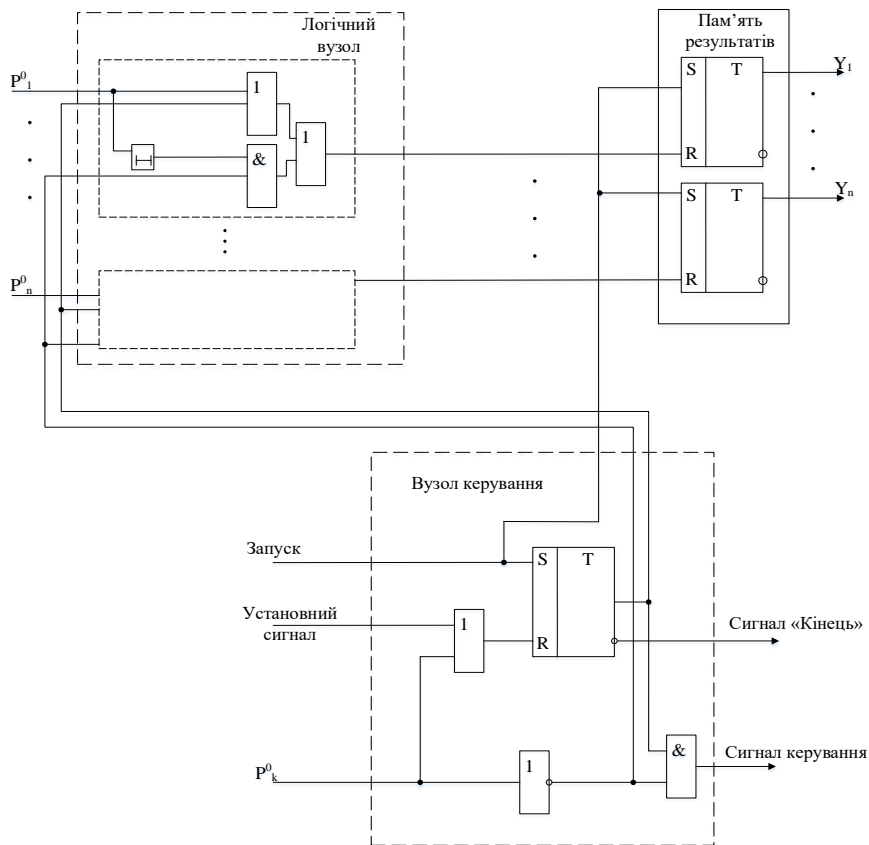


Рисунок 3 – Функціональна схема логічного вузла, вузла керування та пам'яті результатів на тригерах

Таким чином, лише у випадку, коли будь-який з операндів A_1, \dots, A_n співпадає з ключем K , тобто виконується співвідношення $(=)$, на відповідному виході Y_1, \dots, Y_n ознаки формується одиничний сигнал, у протилежному випадку (\neq) на відповідному виході фіксується нульовий сигнал [16,17].

Отже в процесі зчитування (зменшення) кодів у n регістрах пам'яті та регістрі ключа на лічильниках виконується порівняння n операндів A_1, \dots, A_n з ключем K з фіксуванням їх співвідношення $(=), (\neq)$ у вигляді бінарних ознак на відповідних виходах Y_1, \dots, Y_n процесора. Особлива відмінність даного процесу пошуку в АП полягає в тому, що операнди в його регістровій пам'яті не зберігаються в процесі зменшення на одиницю вмісту кожного регістра, а визначається лише місцезнаходження (адреса) операндів, що співпали з ключем. В подальшому ця адреса з виходів ПР використовується для зчитування інформації із загальної пам'яті. При цьому час пошуку інформації за асоціативною ознакою в регістровій пам'яті залежить тільки від кількості розрядів ключа і від швидкості опитування (декременту) його вмісту, але не залежить від розмірності регістрової пам'яті (кількості слів), оскільки при опитуванні аналізується паралельно вміст всіх регістрів [14-17].

Асоціативний процесор для пошуку екстремальних чисел

На рис.4 представлено структурну схему запропонованого АП для пошуку мінімуму/максимуму серед чисел масиву. Він складається з таких основних блоків, як регістрова пам'ять на лічильниках, вихідний регістр, вузол керування, логічний вузол та пам'ять результатів ПР [18].

АП для пошуку мінімуму/максимуму (рис.4) працює таким чином. В регістрову пам'ять записується масив чисел A_1, \dots, A_n , обирається режим пошуку або мінімального, або максимального числа, усі тригери ПР встановлюються в одиничний стан. Після закінчення процесу пошуку одиничний сигнал на i -му виході ознаки Y_1, \dots, Y_n вказує на місцезнаходження мінімального чи максимального елемента масиву, а саме відшукане число зчитується з виходу Авих вихідного регістра. Функціональну схему логічного вузла, вузла керування та ПР в АП представлено на рис. 5.

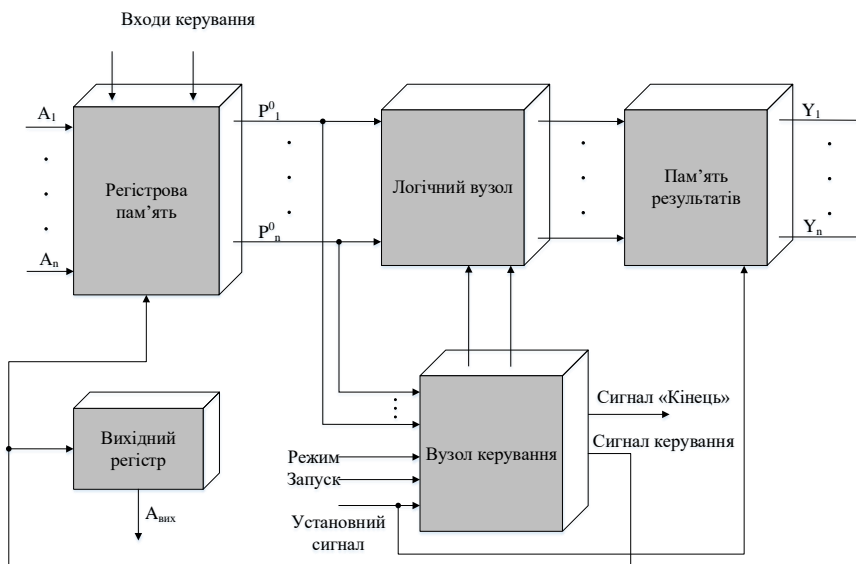


Рисунок 4 – Структура асоціативного процесора для пошуку екстремальних чисел

У режимі пошуку мінімального числа RS-тригер режиму вузла керування встановлюється в нульовий стан, в результаті одиничний сигнал з його інверсного виходу відкриває елементи гілки MIN – пошуку мінімального числа та закриває елементи гілки MAX – пошуку максимального числа у логічному вузлі (див. рис.5). У регістровій пам'яті за аналогією з попереднім процесом пошуку в АП (рис.2) відбувається одночасне зменшення усіх операндів (чисел) на одиницю з надходженням кожного тактового імпульсу (операція декременту), а у вихідному регістрі одночасно відбувається порозрядне збільшення вмісту (операція інкременту). Коли будь-який з регістрів, наприклад, i -й регістр обнулиться повністю, на його ознаковому виході з'явиться одиничний сигнал P_{0i} – сигнал ознаки його нульового вмісту.

При роботі процесора у режимі пошуку максимального числа RS-тригер режиму у вузлі керування встановлюється в одиничний стан, в результаті одиничний сигнал з його прямого виходу відкриває елементи гілки MAX – пошуку максимального числа і закриває елементи гілки MIN – пошуку мінімального числа в логічному вузлі (рис.5). У регістровій пам'яті аналогічно виконується операція декременту, а у вихідному регістрі – операція інкременту. Цей процес відбувається доти, поки усі регістри не обнуляться повністю, після чого на їхніх ознакових виходах з'являються одиничні сигнали P_{01}, \dots, P_{0n} , крім одного, що обнулиться останнім. Одиничне значення на конкретному виході Y_1, \dots, Y_n

ознаки вказує на місцезнаходження мінімального/максимального числа у масиві за умови, що це одне мінімальне або максимальне число.

Особливістю асоціативної обробки у даному АП, як і в АП для пошуку за ключем є те, що інформація в регістровій пам'яті теж не зберігається (через застосування процедури декременту в усіх регістрах одночасно), а визначається лише місце знаходження мінімального або максимального елемента масиву чисел. В подальшому ця адреса з виходів ПР використовується для зчитування інформації із загальної пам'яті. Сформоване мінімальне чи максимальне число зчитується з виходу Авих вихідного регістра [18].

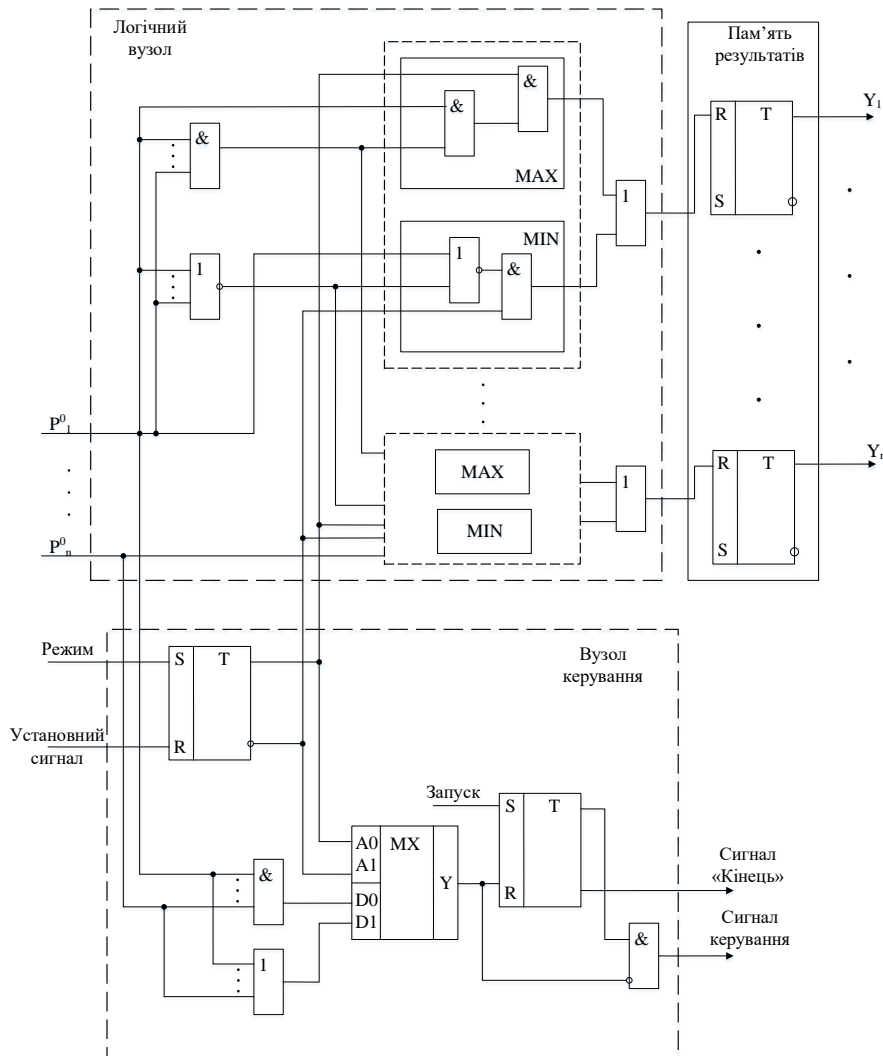


Рисунок 5 – Функціональна схема логічного вузла, вузла керування та пам'яті результатів

Основні параметри асоціативних процесорів

Основними параметрами асоціативної пам'яті у складі АП є інформаційна ємність даних $N \cdot R$, де N – кількість слів, R – розрядність даних, а також час асоціативної вибірки даних t_a , необхідний для виявлення співпадінь [12, 13].

Для відомого АП [4] загальний час асоціативної вибірки масивів даних визначається наступним чином:

$$t_a = t_{com} + t_{wr} + t_{rd} + t_{cd}, \quad (1)$$

де t_{com} , t_{rd} , t_{wr} , t_{cd} – час, що витрачається відповідно на операцію порівняння, зчитування з регістрової пам'яті, запис результату у тригер ознак та шифрацію адреси (рис.1).

Якщо врахувати, що

$$t_{com} + t_{rd} + t_{cd} \gg t_{wr}, \quad (2)$$

то вираз (1) матиме наступний вигляд для випадку паралельної вибірки слів з регістрової пам'яті:

$$t_a = t_{com} + t_{rd} + t_{cd}, \quad (3)$$

У випадку вибірки слів по зрізах (слайзах) з регістрової пам'яті час асоціативної вибірки становитиме:

$$t_a = R(t_{com} + t_{rd}) + t_{cd}, \quad (4)$$

Для запропонованого АП з пошуком за ключем час асоціативної вибірки визначається таким чином (рис.2):

$$t_a = t_{ct} + t_{lg} + t_{wr}, \quad (5)$$

де t_{ct} , t_{lg} – час, що витрачається відповідно на операцію інкременту/декременту та логічні операції. Враховуючи, що

$$t_{ct}^{\max} = (2^R - 1) \cdot \tau_{ct} \gg t_{lg} + t_{wr}, \quad (6)$$

в подальшому використовуємо для розрахунку часових витрат запропонованого АП формулу (6), де τ_{ct} – час затримки при лічбі двійкового лічильника.

Оскільки для будь-якої асоціативної операції бажано визначити її максимальну часову характеристику, то приймемо, що кількість слів $N=32$, а розрядність даних та ключа дорівнюють $R=L=8$. Формули для розрахунку часових і апаратних витрат для трьох типів АП наведено у табл.1, де враховано, що максимальне 8-розрядне двійкове число потребує 255 тактів операції декременту.

Таблиця 1 – Характеристики асоціативних процесорів

Тип АП	Апаратна складність, K	Часові витрати, t_a	Функціональні можливості
АП з паралельною вибіркою слів з регістрової пам'яті	$K = (K_{com}(8) + K_{rg} + K_t + K_{cd})N$	$t_a = t_{com} + t_{rd} + t_{cd}$	Пошук за ключем
АП з вибіркою слів по зрізах (слайзах) з регістрової пам'яті	$K = (K_{com}(1) + K_{rg} + K_t + K_{cd})N$	$t_a = 8(t_{com} + t_{rd}) + t_{cd}$	Пошук за ключем
АП з паралельно-послідовною обробкою з пам'яттю на лічильниках	$K = (K_{ct} + K_t)N$	$T_s = 255 \cdot \tau_{ct}$	Пошук за ключем, визначення екстремальних чисел
$K_{com}(8)$, $K_{com}(1)$ – складність відповідно 8-розрядного і 1-розрядного компаратора, K_{rg} – складність регістра; K_t – складність тригера; K_{cd} – складність шифратора; K_{ct} – складність лічильника			

Аналіз даних табл.1 показав, що максимальний час асоціативної вибірки у запропонованому АП більший за час, що витрачається на обробку у розглянутих прототипах. Але враховуючи наносекундний діапазон спрацювання базових вузлів обчислювальної техніки [19], ці часові витрати вкладаються у мікросекундний діапазон. Разом з тим значною перевагою запропонованого АП є регулярність структури та менша кількість апаратних витрат, адже у розглянутих прототипах для кожного елемента масиву

застосовується пам'ять фіксування співпадіннь, яка складається з компаратора і тригера, та шифратора на кожний елемент масиву (рис.1), не враховуючи апаратних витрат на аналізатор багатократного співпадіння. А у запропонованому АП для операції декременту використовуються тільки лічильники з фіксуванням ознаки нуля без необхідності використання компаратора і регістра.

Отже, маємо вигреш в апаратних витратах, що є важливим при реалізації АП на перспективній елементній базі – ПЛІС. Крім того, виконання регістрової пам'яті у складі асоціативних процесорів можливе як на базі цифрових лічильників, так на оптоелектронних регістрах [16-18, 20].

Висновки

1. Проведений огляд сучасних методів і засобів асоціативної обробки масивів даних показав, що за організацією процесу такої обробки найбільше розповсюдження отримали паралельно-послідовні асоціативні процесори, як компромісні між дорогими паралельними і низькошвидкісними послідовними асоціативними процесорами. В результаті, серед методів асоціативної обробки найбільше розповсюдження отримав метод обробки по розрядних зрізах (слайзах), тобто з одночасною обробкою однойменних розрядів усіх слів.

2. Запропоновані структури двох асоціативних процесорів з дискретним поданням даних містять швидку регістрову пам'ять на лічильниках з паралельним пошуком по словах і послідовним по вмісту. Основними перевагами такого методу обробки є природний рівень паралелізму і те, що час виконання базових операцій пошуку пропорційний максимальному значенню серед чисел у заданому масиві даних або ключі.

3. У першому запропонованому варіанті в асоціативному процесорі для пошуку у масиві даних за ключем паралельно-послідовна обробка дозволяє зафіксувати співвідношення n операндів з ключем у вигляді бінарних ознак ($=$, \neq) в пам'яті результатів на тригерах. У другому запропонованому варіанті в асоціативному процесорі для пошуку екстремальних чисел розширення функціональних можливостей досягається за рахунок роботи в двох режимах: пошук мінімального або максимального числа у масиві n чисел. Особливістю запропонованих асоціативних процесорів є те, що кількість n операндів, що обробляються, може бути значною, а час виконання операції залежить тільки від їх інформативної ємності. Крім того, в обох випадках пошук виконується без паралельного порозрядного логічного порівняння, а в процесі швидкісної паралельної операції декременту, що виконується апаратно на лічильниках.

4. Однаковий підхід до обробки масивів даних у регістровій пам'яті на лічильниках дозволяє об'єднати функціональні можливості двох типів запропонованих асоціативних процесорів в одному асоціативному процесорі через подібність їх структурної організації за рахунок вдосконалення схем логічного вузла і вузла керування.

Список літератури

- [1] Ассоциативная обработка, [Электронный ресурс]. Режим доступа: <http://www.ngpedia.ru/id97447pl.html>. Дата звернення: Лют. 20, 2019.
- [2] Я. И. Фет, *Параллельные процессоры для управляющих систем*. М., Россия: Энергоиздат, 1981.
- [3] К. Дж. Тербер, *Архитектура высокопроизводительных вычислительных систем*. М., Россия: Наука. Гл. ред. физ.-мат. лит.-ры, 1985.
- [4] Т. Кохонен, *Ассоциативные запоминающие устройства*. М., Россия: Мир, 1982.
- [5] А. П. Писарев., и А. П. Ремонтов, *Вычислительные машины и системы: учебн. пособие*. Пенза, Россия: 2006.
- [6] М. Амамия, Ю. Танака, *Архитектура ЭВМ, искусственный интеллект*. М., Россия: Мир, 1993.
- [7] В. И. Козик, П. Е. Твердохлеб, «3-D оптические интегральные схемы ассоциативной памяти», *Автометрия*, № 3, с.44-52. 1993.
- [8] В. С. Бурцев, В. Б. Федоров, «Оптическая ассоциативная память для систем управления базами данных и вычислительных машин с нетрадиционной архитектурой», *Радиотехника*, № 7-8, с.79-89. 1992.
- [9] Smith D., Hall J., and Miyake K. The CAM2000 Chip Architecture. Rutgers University [Online]. Available: <http://ntrs.nasa.gov/19930017905.pdf>. Accessed on: Feb. 25, 2019.
- [10] А. А. Дерюгин, *Электронные вычислительные машины и системы: Основные термины, определения и обозначения*. М., Россия: Изд-во МЭИ(ТУ), 1992.
- [11] А. В. Богданов, В. В. Корхов, В. В. Мареев, и Е. Н. Станкова, *Архитектуры и топологии многопроцессорных вычислительных систем*. М., Россия: ИНТУИТ.РУ, 2009.
- [12] А. А. Вербовецкий, и В. Б. Федоров, «Оптические системы памяти с ассоциативно-адресной выборкой информации», *Квантовая электроника*, т.7, №8, с.1769-1777. 1980.
- [13] В.Б. Федоров, «Принципы создания многопортовой ассоциативной памяти с использованием элементной базы квантовой электроники», *Квантовая электроника*, №11, с.1155 - 1160. 1995.
- [14] А. В. Кожем'яко, Н. О. Денисюк, і С. В. Сидорук, «Аспекти реалізації асоціативного процесора», *на Всеукр. наук.-практ. конф. Проблеми інформатики та комп'ютерної техніки (ПІКТ-2014)*, Чернівці, 2014, с.106-107.
- [15] Л. М. Куперштейн, Н. О. Денисюк, і М. В. Повидало, «Особенности реализации асоціативних операцій» *на IV*

міжнар. наук.-практ. конф. *Методи та засоби кодування, захисту й ущільнення інформації*, Вінниця, 2013, с.344-346.

- [16] Т. Б. Мартинюк, Н. О. Денисюк і С. П. Любич, «Оптоелектронний пристрій порівняння чисел», *Патент України* G06F7/00. №89886 МПК7 (2014), 12.05.2014.
- [17] Т. Б. Мартинюк, Н. О. Денисюк і Н. І. Кокряцька, «Оптоелектронний пристрій порівняння чисел», *Патент України* G06F7/00. №91393 МПК7 (2014), 10.07.2014.
- [18] Т. Б. Мартинюк, С. В. Павлов, А. В. Кожем'яко і Н. О. Денисюк, «Оптоелектронний пристрій для визначення екстремальних чисел», *Патент України* G 06F7/00. №91152 МПК7 (2014), 10.12.2014.
- [19] Electronic Components Datasheet Search [Online]. Available: <http://www.alldatasheet.com/> Accessed on: Mar. 10, 2019.
- [20] Т. Б. Мартинюк, Д. В. Кордон, і Н. О. Денисюк, «Асоціативна регістрова пам'ять», на VI міжнар. наук.-техн. конф. *Оптоелектронні інформаційні технології «Фотоніка ОДС - 2012»*, Вінниця, 2012, с.55.

References

- [1] Assotsyatyvnaia obrabotka, [Elektronnyi resurs]. Rezhym dostupu: <http://www.ngpedia.ru/id97447pl.html>. Data zvernennia: Liut. 20, 2019.
- [2] Ya. Y. Fet, *Parallelye protsessory dlia upravliaiushchikh system*. M., Rossyia: Enerhoizdat, 1981.
- [3] K. Dzh. Terber, *Arkhytektura vysokoproizvoditelnykh vychyslytelnykh system*. M., Rossyia: Nauka. HI. red. fiz.-mat. lyt-ry, 1985.
- [4] T. Kokhonen, *Assotsyatyvnye zapomynaiushchye ustroistva*. M., Rossyia: Myr, 1982.
- [5] A. P. Pysarev., y A. P. Remontov, *Vychyslytelnye mashyny y systemy: uchebn. posobyе*. Penza, Rossyia: 2006.
- [6] M. Amamyia, Yu. Tanaka, *Arkhytektura ЭВМ, yskusstvennyi yntelekt*. M., Rossyia: Myr, 1993.
- [7] V. Y. Kozyk, P. E. Tverdokhle, «3-D optycheskye yntehrnlne skhemy assotsyatyvnoi pamiaty», *Avtometrya*, № 3, s.44-52. 1993.
- [8] V. S. Burtsev, V. B. Fedorov, «Optycheskaia assotsyatyvnaia pamiat dlia system upravleniya bazamy dannykh y vychyslytelnykh mashyn s netradytsonnoi arkhytekturoi», *Radyotekhnika*, № 7-8, s.79-89. 1992.
- [9] Smith D., Hall J., and Miyake K. The CAM2000 Chip Architecture. Rutgers University [Online]. Available: <http://ntrs.nasa.gov/19930017905.pdf>. Accessed on: Feb. 25, 2019.
- [10] A. A. Deriuhyn, *Ehlektronnye vychyslytelnye mashyny y systemy: Osnovnye termyny, opredeleniya y oboznacheniya*. M., Rossyia: Yzd-vo МЭУ(TU), 1992.
- [11] A. V. Bohdanov, V. V. Korkhov , V. V. Mareev, y E. N. Stankova, *Arkhytektury y topolohyy mnohoprotsessornykh vychyslytelnykh system*. M., Rossyia: YNTUYT.RU, 2009.
- [12] A. A. Verbovetskyi, y V. B. Fedorov, «Optycheskye systemy pamiaty s assotsyatyvno-adresnoi vyborkoi ynformatsyy», *Kvantovaia ehlektronika*, t.7, №8, s.1769-1777. 1980.
- [13] V. B. Fedorov, «Pryntsyпы sozdaniya mnohoportovoi assotsyatyvnoi pamiaty s yspolzvanym elementnoi bazy kvantovoi ehlektroniky», *Kvantovaia ehlektronika*, №11, s.1155 - 1160. 1995.
- [14] A. V. Kozhemiako, N. O. Denysiuk, i S. V. Sydoruk, «Aspekty realizatsii asotsyatyvnoho protsesora», *na Vseukr. nauk.-prakt. konf. Problemy informatyky ta kompiuternoї tekhniki (PIKT-2014)*, Chernivtsi, 2014, s.106-107.
- [15] L. M. Kupershtein, N. O. Denysiuk, i M. V. Povydalo, «Osoblyvosti realizatsii asotsyatyvnykh operatsii» *na IV mizhnar. nauk.-prakt. konf. Metody ta zasoby koduvannia, zakhystu y ushchilnennia informatsii*, Vinnytsia, 2013, s.344-346.
- [16] Т. В. Мартинюк, Н. О. Денисюк і С. П. Любич, «Оптоелектронний пристрій порівняння чисел», *Patent Ukrainy* G06F7/00. №89886 МПК7 (2014), 12.05.2014.
- [17] Т. В. Мартинюк, Н. О. Денисюк і Н. І. Кокриятська, «Оптоелектронний пристрій порівняння чисел», *Patent Ukrainy* G06F7/00. №91393 МПК7 (2014), 10.07.2014.
- [18] Т. В. Мартинюк, С. В. Павлов, А. В. Коземіако і Н. О. Денисюк, «Оптоелектронний пристрій для визначення екстремальних чисел», *Patent Ukrainy* G 06F7/00. №91152 МПК7 (2014), 10.12.2014.
- [19] Electronic Components Datasheet Search [Online]. Available: <http://www.alldatasheet.com/> Accessed on: Mar. 10, 2019.
- [20] Т. В. Мартинюк, Д. В. Кордон, і Н. О. Денисюк, «Асоціативна регістрова пам'ять», *na VI mizhnar. nauk.-tekh. konf. Optoelektronni informatsiini tekhnolohii «Fotonika ODS - 2012»*, Vinnytsia, 2012, s.55.

Стаття надійшла: 16.03.2019

Мартинюк Тетяна Борисівна - д.т.н., професор кафедри обчислювальної техніки, Вінницький національний технічний університет.

Денисюк Наталія Олексіївна - магістр факультету комп'ютерних систем і автоматики, Вінницький національний технічний університет.

Круківський Богдан Ігорович - магістр факультету комп'ютерних систем і автоматики, Вінницький національний технічний університет.

T. B. Martyniuk, N. O. Denysiuk, B. I. Krukivskyi

**ASSOCIATIVE PROCESSORS WITH PARALLEL-SERIAL
DATA PROCESSING**

Vinnitsia National Technical University, Vinnitsia

Т. Б. Мартынюк, Н. А. Денисюк, Б. И. Круковский

**АССОЦИАТИВНЫЕ ПРОЦЕССОРЫ С ПАРАЛЛЕЛЬНО-
ПОСЛЕДОВАТЕЛЬНОЙ ОБРАБОТКОЙ ДАННЫХ**

Винницкий национальный технический университет, г. Винница